

4. CMOS-Inverter

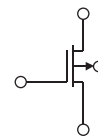
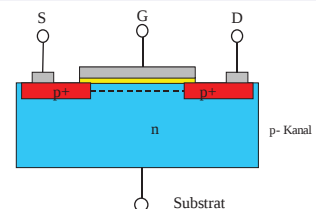
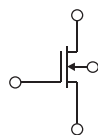
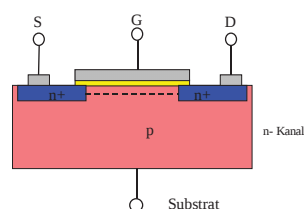
4. CMOS-Inverter

- 4.1. Schaltungstechnik
- 4.2. n- und p-Wannen CMOS-Prozess
- 4.3. Latch-up Effekt
- 4.4. Twin-Well-Prozess
- 4.5. Silicon-on-Isolator (SOI)

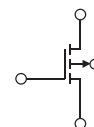
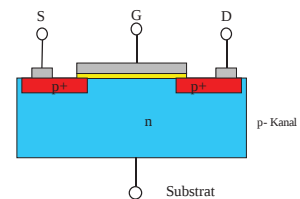
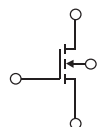
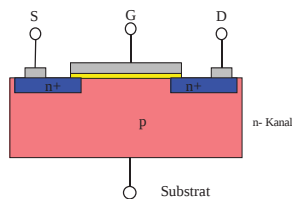


4.1. Schaltungstechnik: MOS-Transistoren (I)

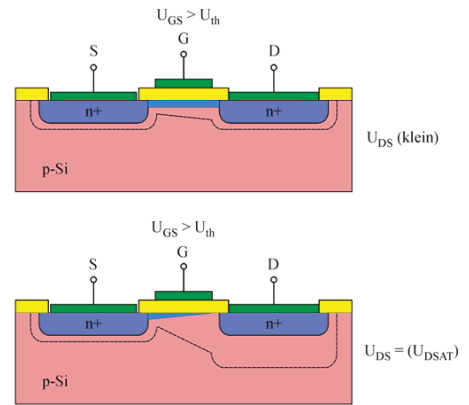
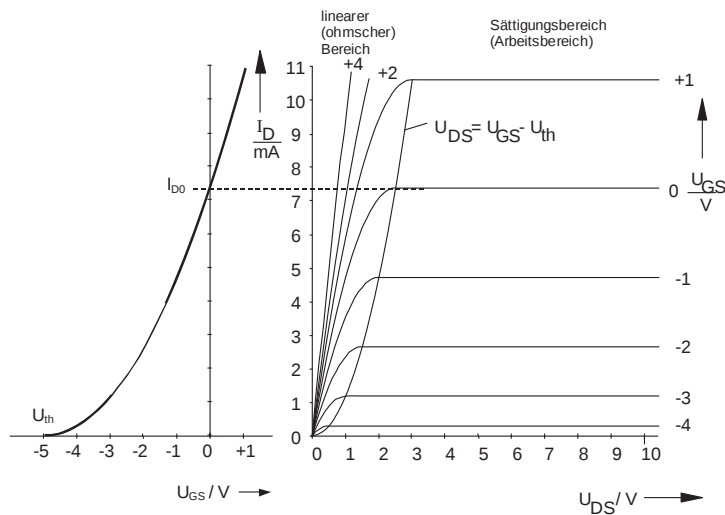
Verarmungstyp



Anreicherungstyp



4.1. Schaltungstechnik: MOSFET-Verarmungstyp

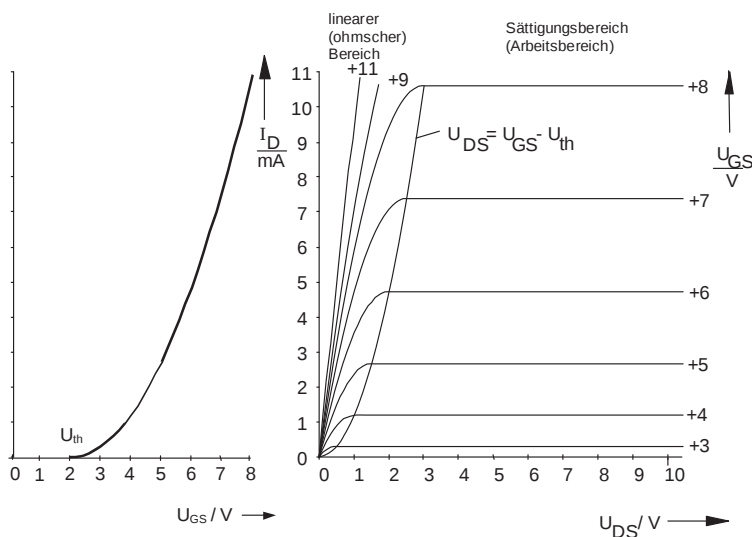


Eingangskennlinie

$$I_D = I_{D0} \left(1 - \frac{U_{GS}}{U_{th}}\right)^2 \Rightarrow I_D = \frac{I_{D0}}{U_{th}^2} (U_{GS} - U_{th})^2$$



4.1. Schaltungstechnik: MOSFET- Anreicherungstyp



Ausgangskennlinien

$$I_D = \beta \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} - \frac{(U_{DS})^2}{2} \right] \quad \text{Linearer Bereich}$$

und

$$I_D = \frac{1}{2} \beta \cdot (U_{GS} - U_{th})^2 \quad \text{Sättigungsbereich}$$

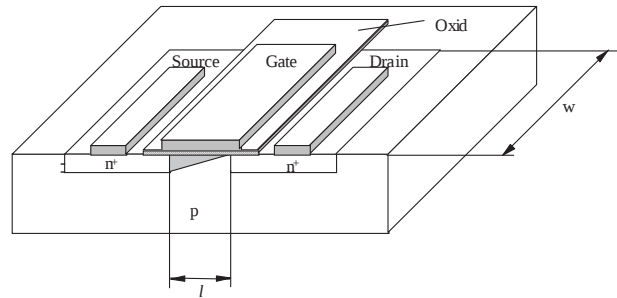


4.1. Schaltungstechnik: MOSFET-Kennlinien

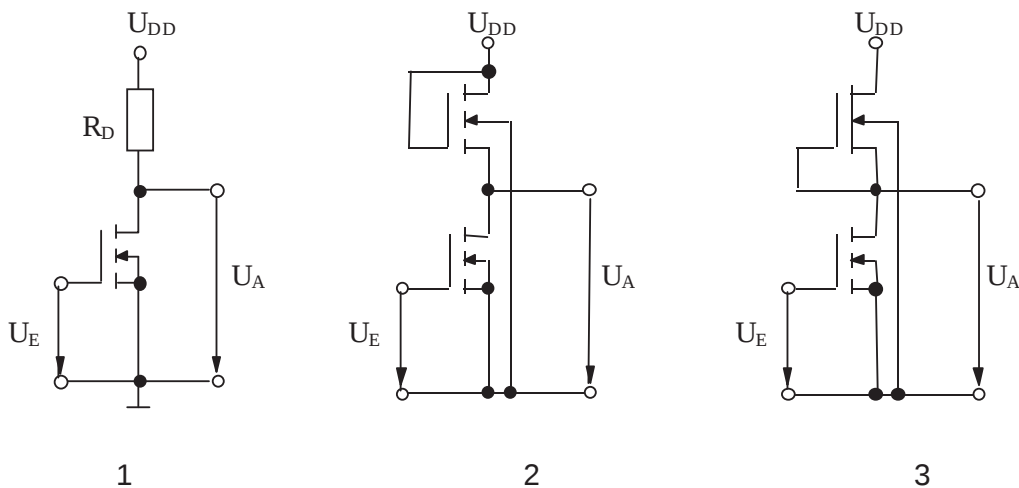
$$I_D = \begin{cases} 0 & U_{GS} \leq U_{th} \\ \beta \cdot \left((U_{GS} - U_{th}) - \frac{U_{DS}}{2} \right) \left(1 + \frac{U_{DS}}{U_A} \right) & \text{linearer Bereich} \\ \frac{\beta}{2} \cdot (U_{GS} - U_{th})^2 \left(1 + \frac{U_{DS}}{U_A} \right) & \text{Sättigungsbereich} \end{cases}$$

Steilheitskoeffizient: $\beta = \beta'_n \frac{w}{l} = \mu_n C'_{ox} \frac{w}{l}$

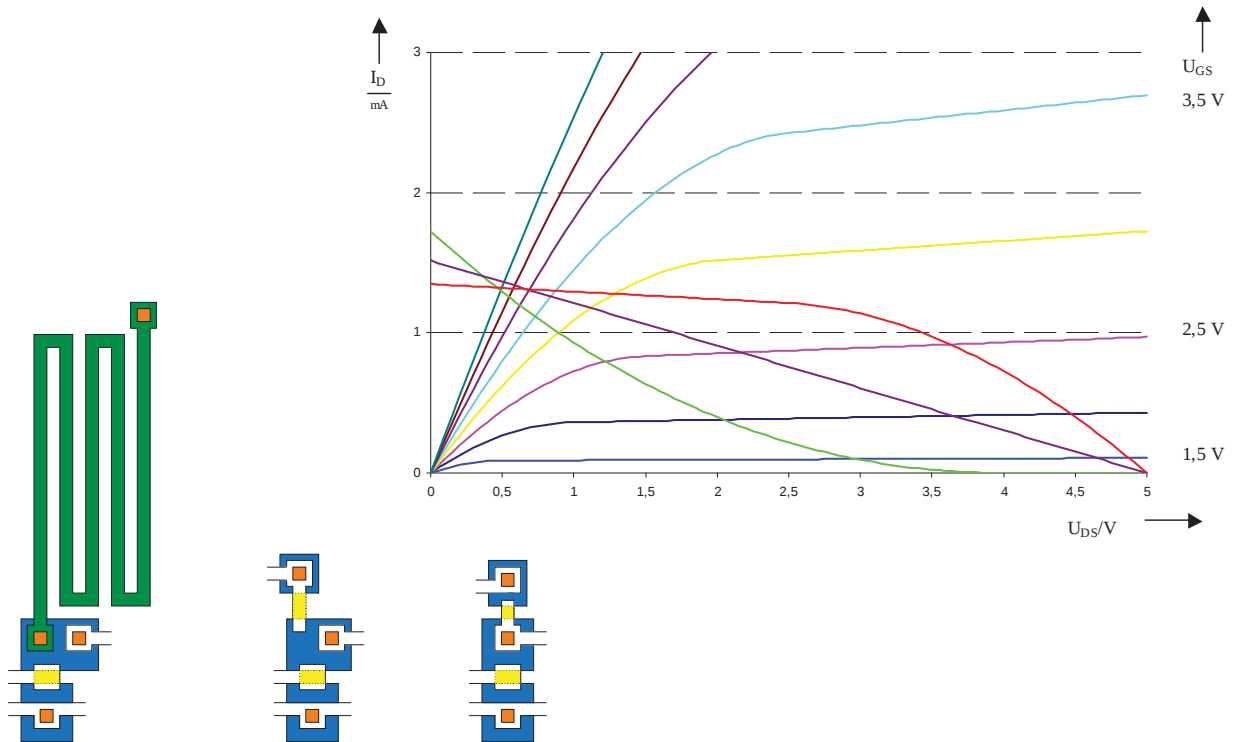
Kapazität des Gateoxids: $C_{ox} = C'_{ox} \cdot w \cdot l$



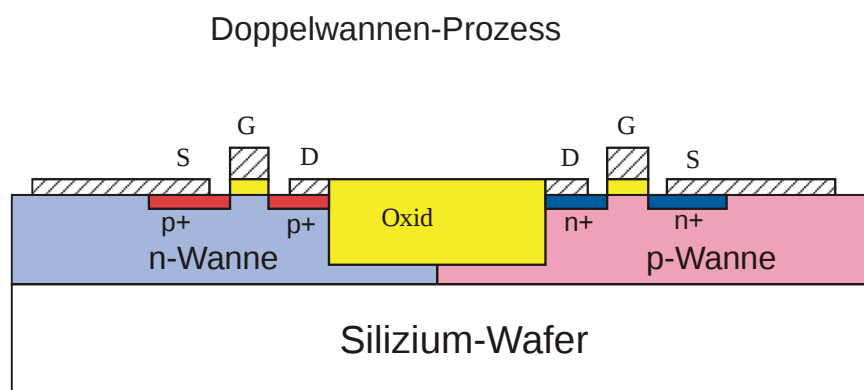
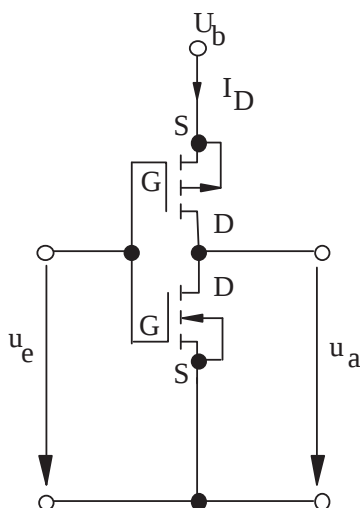
4.1. Schaltungstechnik: n-MOS-Inverter (I)



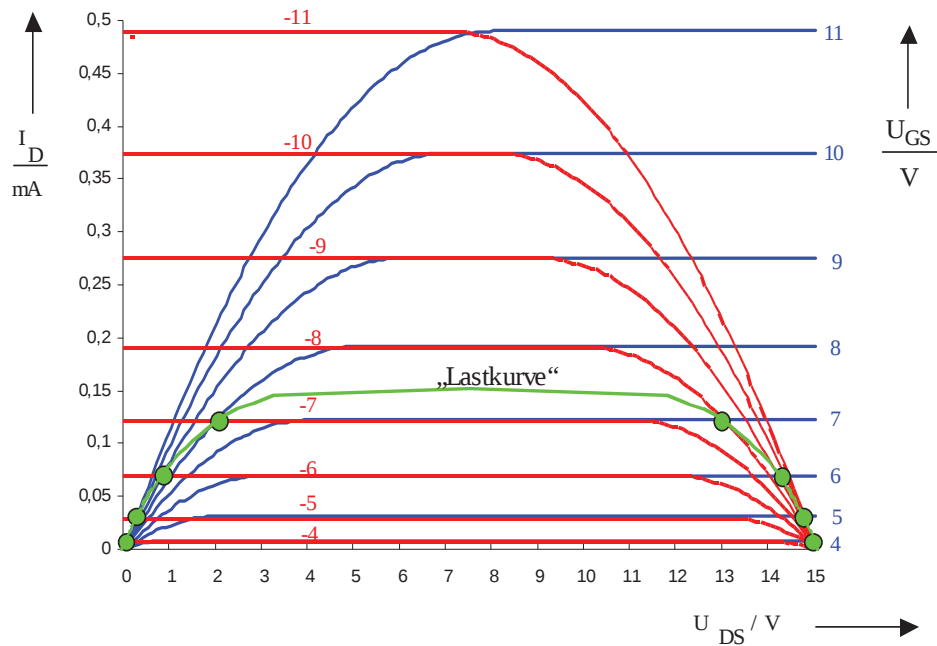
4.1. Schaltungstechnik: n-MOS-Inverter (II)



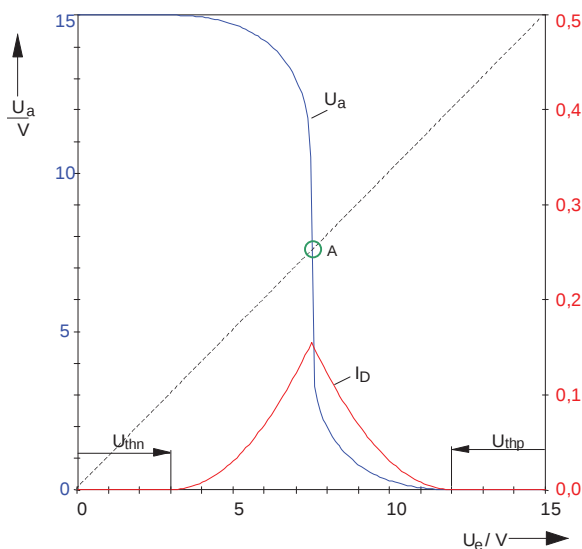
4.1. Schaltungstechnik: CMOS-Inverter



4.1. Schaltungstechnik: CMOS-Kennlinienfeld



4.1. Schaltungstechnik: CMOS-Übertragungskennlinie



$$I_D = \beta \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} - \frac{(U_{DS})^2}{2} \right] \quad (\text{linearer Bereich})$$

$$I_D = \frac{1}{2} \beta \cdot (U_{GS} - U_{th})^2 \quad (\text{Sättigungsbereich})$$

$$-I_D = \beta \cdot \left[(U_{GS} - U_{th}) \cdot U_{DS} - \frac{(U_{DS})^2}{2} \right] \quad (\text{linearer Bereich})$$

$$-I_D = \frac{1}{2} \beta \cdot (U_{GS} - U_{th})^2 \quad (\text{Sättigungsbereich})$$

$$\beta_n = \mu_n C'_{ox} \frac{w_n}{l_n} = \beta \quad \text{und} \quad \beta_p = \mu_p C'_{ox} \frac{w_p}{l_p} = \beta$$

mit $\mu_n \approx 3 \cdot \mu_p$ und der Annahme $l_n = l_p$ folgt:

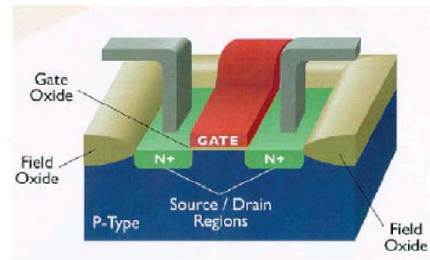
$$w_p \approx 3 \cdot w_n$$



4.2. n-Wannen-CMOS-Prozess (I)

CMOS-Prozesse

- n-Wannen-Prozess
- p-Wannen-Prozess
- Doppelwannen-Prozess



Herstellungsschritte im n-Wannen-CMOS-Prozess

Wafer mit SiO_2 (Oxidation)



Belackung mit Fotoresist, Belichtung mit n-Wannen-Maske



Universität Karlsruhe (TH)

Institut für Mikro- und Nanoelektronische Systeme



11

4.2. n-Wannen-CMOS-Prozess (II)

Entwickeln des Fotoresists



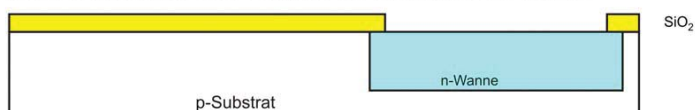
Ätzen des nicht abgedeckten SiO_2



Ablösen des Fotoresists



Ionenimplantation und Tempern zur Bildung der n-Wanne



Universität Karlsruhe (TH)

Institut für Mikro- und Nanoelektronische Systeme



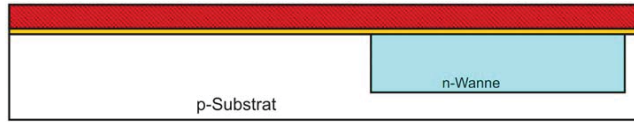
12

4.2. n-Wannen-CMOS-Prozess (III)

Abätzen des SiO_2 mit HF

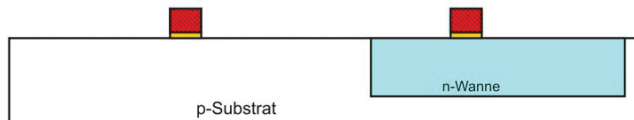


Oxidation des Gateoxids, poly-Si-Schicht (CVD)



Poly-Si-Schicht
Dünnes Gateoxid

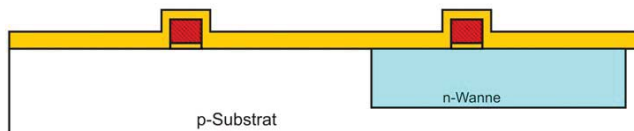
Strukturierung des Poly-Si-Gates



Poly-Si-Schicht
Dünnes Gateoxid



Oxidation für Implantationsmaske



Universität Karlsruhe (TH)

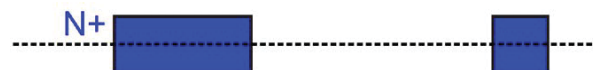
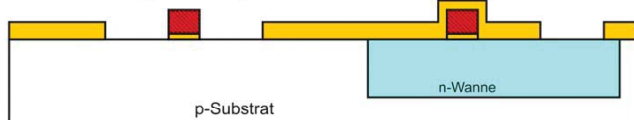
Institut für Mikro- und Nanoelektronische Systeme



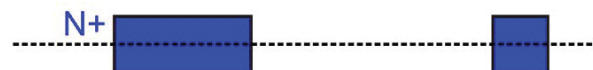
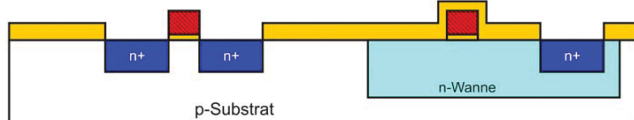
13

4.2. n-Wannen-CMOS-Prozess (IV)

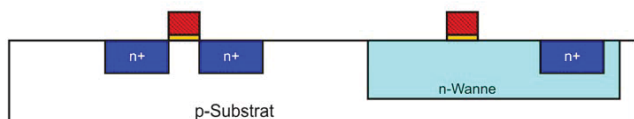
Strukturierung des SiO_2 für n^+ -Kontakte



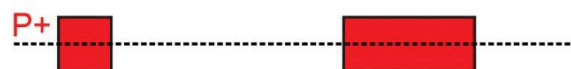
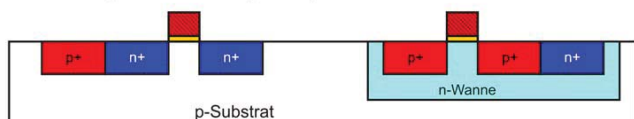
Ionenimplantation der n^+ -Kontakte



Abätzen des Oxids



Gleichartige Prozessfolge für p^+ -Kontakte



Universität Karlsruhe (TH)

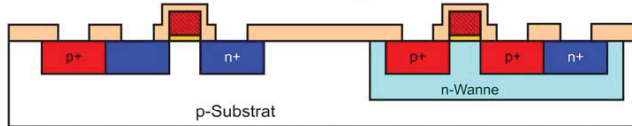
Institut für Mikro- und Nanoelektronische Systeme



14

4.2. n-Wannen-CMOS-Prozess (V)

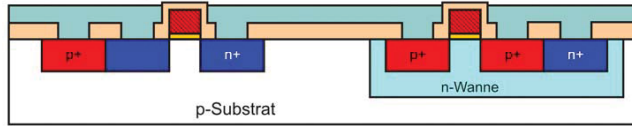
Dickes Feldoxid und Strukturierung der Via's



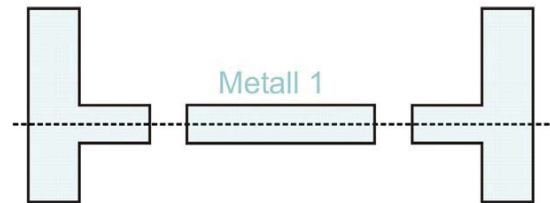
Dickes Feldoxid



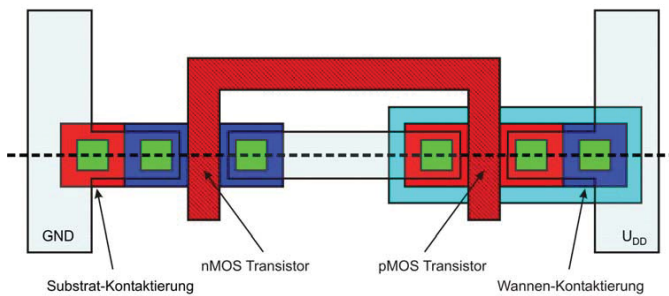
Metallisierung und CMP



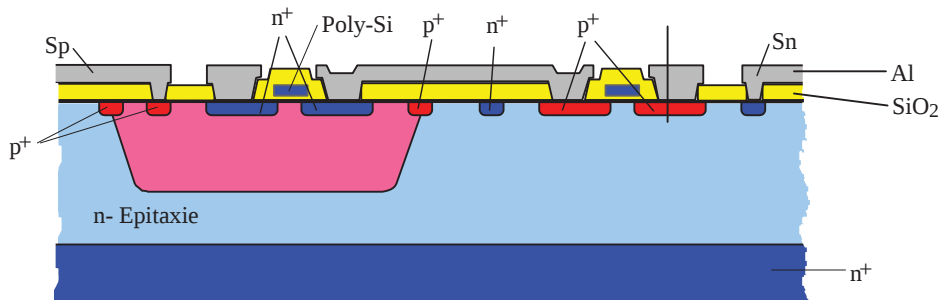
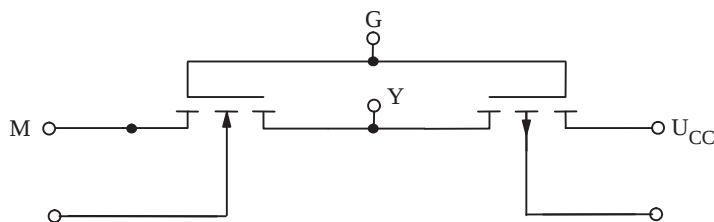
Metall
Dickes Feldoxid



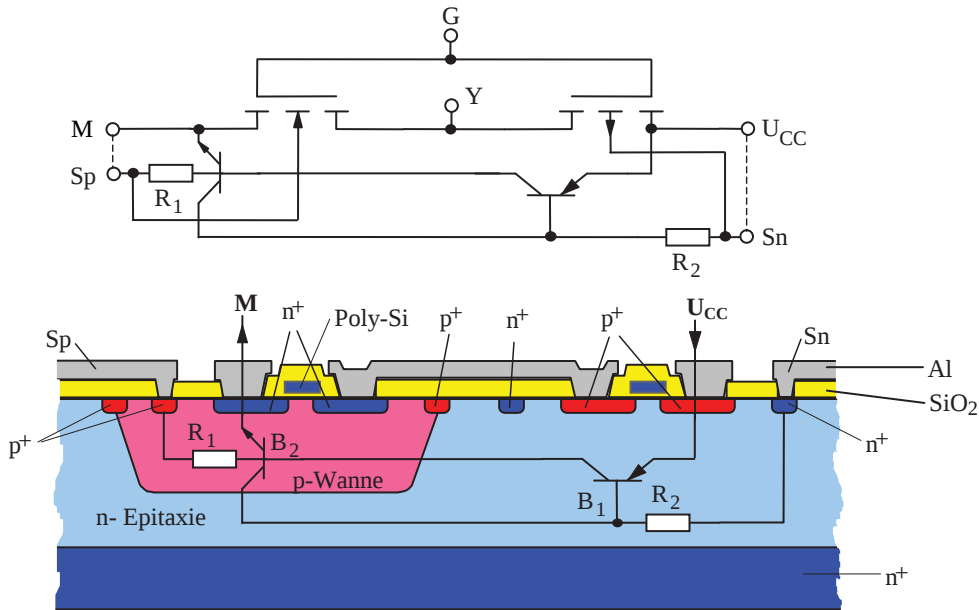
Layoutansicht des CMOS-Inverters



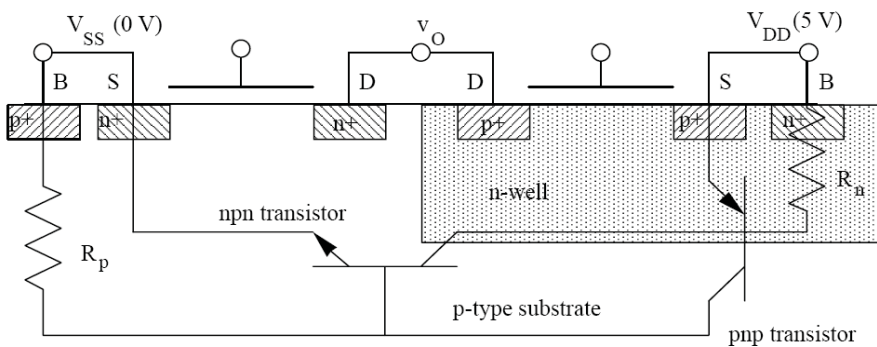
4.3. p-Wannen-CMOS-Prozess



4.3. Latch-up Effekt: p-Wannen CMOS



4.3. Latch-up Effekt: n-Wannen CMOS



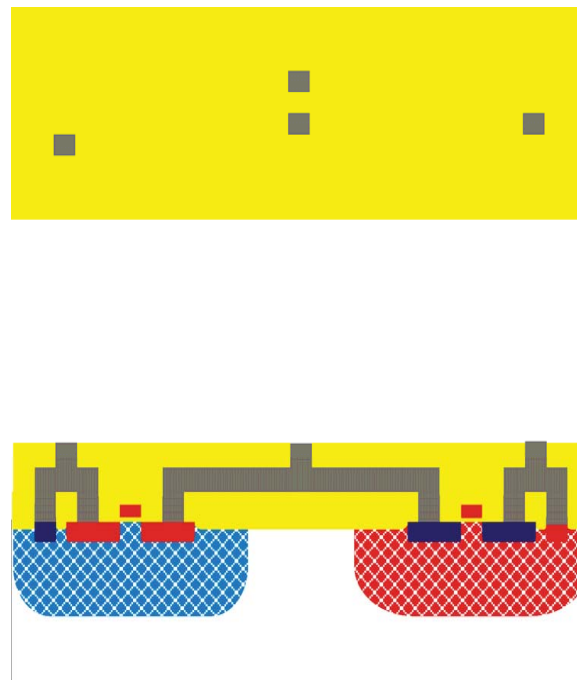
Beseitigung des Latch-up Effektes

- Doppelwannen-Prozess (Twin-well)
- Schutzringe (guard rings)
- Graben-Isolation
- Silicon-on-Isolator (SOI)



4.4. Doppelwannen CMOS-Prozess (I)

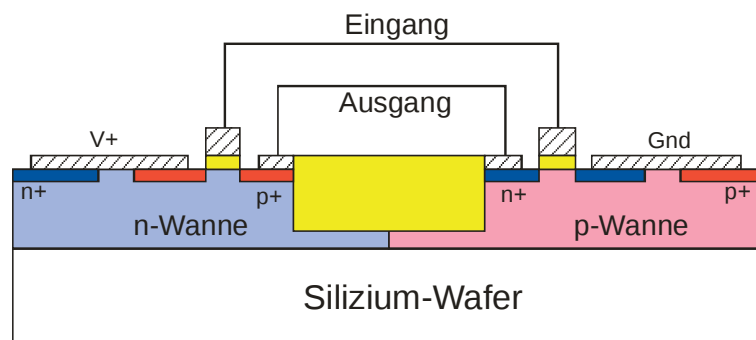
Metall entfernen



- SIO2
- Siliziumnitrid
- Photolack
- Belichteter Photolack
- n Wanne
- Maske
- p Wanne
- Polysilizium
- n+ Dotierung
- p+ Dotierung
- Aluminium



4.4. Doppelwannen CMOS-Prozess (II)



Vorteile:

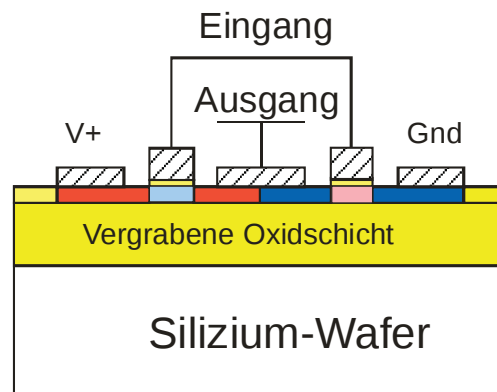
- n-Kanal und p-Kanal-Transistor können jeder für sich optimiert werden.
- hochohmiges Substrat reduziert die Anfälligkeit für den Latch-Up-Effekt
- Feldoxid reduziert die Leckströme zwischen den beiden Transistoren

Nachteile:

- Zusätzliche Prozessschritte und damit teurer als der p-well Prozess



4.5. Silicon-on-Isolator (SOI)



Vorteile:

- Isolierendes Substrat , d.h: keine Substrateffekte
- Kein Latch-Up
- Keine parasitären Kapazitäten gegenüber Versorgungsspannung

Nachteile:

- Zusätzliche Prozessschritte

